

215

HIGH FREQUENCY CIRCUIT SUBSTRATE

Publication number: JP2001244375 (A)

Publication date: 2001-09-07

Inventor(s): ARAI MASATOSHI

Applicant(s): MITSUBISHI ELECTRIC CORP

Classification:

- international: H01L23/12; H01L23/15; H01L25/00; H01P5/08; H01P5/19; H03F3/60; H01L23/12; H01L25/00; H01P5/08; H01P5/16; H03F3/60; (IPC1-7): H01L23/12; H01L23/15; H01L25/00; H01P5/08; H01P5/19; H03F3/60

- European:

Application number: JP20000055910 20000301

Priority number(s): JP20000055910 20000301

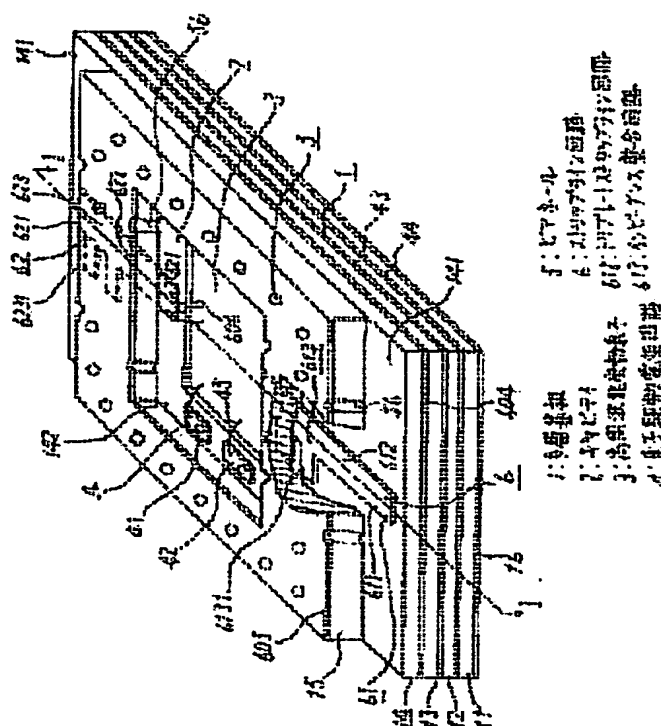
Also published as:

JP3527164 (B2)

Abstract of JP 2001244375 (A)

PROBLEM TO BE SOLVED: To provide a high frequency circuit substrate that can be manufactured by a fewer steps, whose impedance matching performance is good, and that can be miniaturized.

SOLUTION: In a high frequency circuit substrate comprising a high frequency active passive element 3 of a transistor or the like that is arranged in a cavity 2 of a multiplayer substrate 1 formed by a ceramic of aluminum nitride or the like, an element drive electric circuit 4 for driving this high frequency active passive element 3, and a strip line circuit 6 connected to the high frequency active passive element 3, an impedance matching circuit 613 having a triplate strip structure is provided in the same surface as that of the substrate where the strip line circuit 6, especially the triplate strip line circuit 612 is formed.



Data supplied from the esp@cenet database — Worldwide

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-244375

(P2001-244375A)

(43)公開日 平成13年9月7日(2001.9.7)

(51)Int.Cl. ⁷	識別記号	F I	テマコード [*] (参考)
H 0 1 L 23/12	3 0 1	H 0 1 L 23/12	3 0 1 Z 5 J 0 6 7
23/15		25/00	B
25/00		H 0 1 P 5/08	L
H 0 1 P 5/08		5/19	A
5/19		H 0 3 F 3/60	
審査請求 未請求 請求項の数 8 O L (全 8 頁) 最終頁に続く			

(21)出願番号 特願2000-55910(P2000-55910)

(22)出願日 平成12年3月1日(2000.3.1)

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 新居 眞敏

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74)代理人 100073759

弁理士 大岩 増雄

Fターム(参考) 5J067 AA04 AA21 CA75 CA91 CA92

FA16 HA25 KA29 KA68 KS03

KS11 LS11 LS12 QA04 QA05

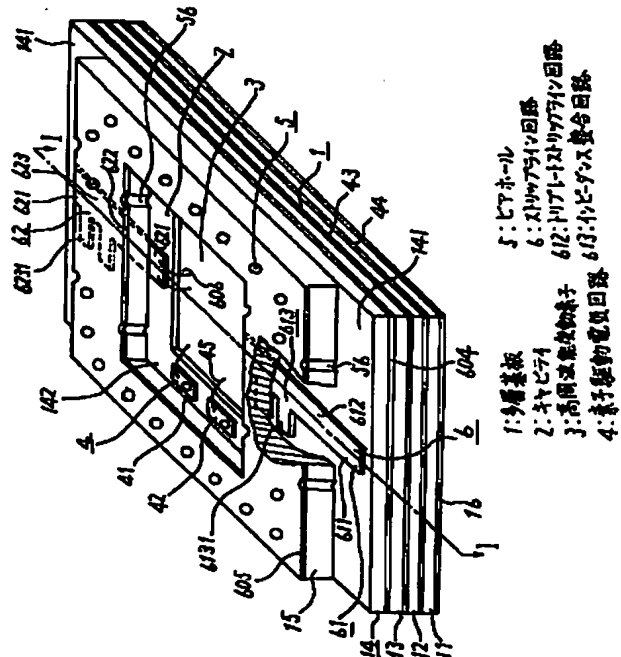
QA06 QS03 QS12 QS17

(54)【発明の名称】 高周波回路基板

(57)【要約】

【課題】 少工程にて製造可能でありながらインピーダンス整合性能が良好であり、しかも小サイズ化が可能な高周波回路基板を提供すること。

【解決手段】 窒化アルミニウムなどのセラミックスにて形成された多層基板1のキャビティ2内に配置されたトランジスタなどの高周波能受動素子3、この高周波能受動素子3を駆動する素子駆動電気回路4、および上記高周波能受動素子3に接続されたストリップライン回路6を有する高周波回路基板において、上記ストリップライン回路6、就中、トリプレートストリップライン回路612が形成された基板面と同一面にトリプレートストリップ構造を有するインピーダンス整合回路613を備えたものである。



【特許請求の範囲】

【請求項1】 多層基板のキャビティ内に配置された高周波能受動素子、この高周波能受動素子を駆動する素子駆動電気回路、および上記高周波能受動素子に接続されたストリップライン回路を有する高周波回路基板において、上記ストリップライン回路が形成された基板面と同一面にトリプレートストリップ構造を有するインピーダンス整合回路を備えたことを特徴とする高周波回路基板。

【請求項2】 多層基板は、素子駆動電気回路を構成する電気回路パターンの少なくとも一部を層内に有することを特徴とする請求項1記載の高周波回路基板。

【請求項3】 多層基板は、熱伝導性に優れた軽量のセラミックスにより形成されたことを特徴とする請求項1または請求項2記載の高周波回路基板。

【請求項4】 セラミックスは、窒化アルミニウムであることを特徴とする請求項3記載の高周波回路基板。

【請求項5】 複数の高周波能受動素子を有し、ストリップライン回路は高周波電力をそれら複数の高周波能受動素子に分配する電力分配回路および／またはそれら複数の高周波能受動素子からの高周波電力を合成する電力合成回路を有することを特徴とする請求項1記載の高周波回路基板。

【請求項6】 ストリップライン回路の少なくとも一部はトリプレートストリップライン回路であり、インピーダンス整合回路は上記トリプレートストリップライン回路と一体的に構成されていることを特徴とする請求項1または請求項5記載の高周波回路基板。

【請求項7】 複数の高周波能受動素子を有し、それら複数の高周波能受動素子はストリップライン回路により直列および／または並列に接続されたことを特徴とする請求項1または請求項5記載の高周波回路基板。

【請求項8】 高周波能受動素子は、ヒートシンクを介してキャビティ内に配置されたことを特徴とする請求項1記載の高周波回路基板。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、例えばマイクロ波回路を構成する高周波回路基板に関し、特にインピーダンス整合回路を有する高周波回路基板に関するものである。

【0002】

【従来の技術】図7は、従来の高周波回路基板の斜視図であって、1は多層基板、2はキャビティ、3は高周波能受動素子、4は高周波能受動素子3を駆動する素子駆動電気回路、5はビアホール、6はストリップライン回路、8はシールリング実装のためのシールリングベースである。基板1は誘電体層の複数が積層した構造を有し、その表面にキャビティ2が形成されており、このキャビティ2内に高周波能受動素子3が配置されている。

高周波能受動素子3は、金ボンディングワイヤ45により素子駆動電気回路4に電氣的に接続され、それにより駆動されて高周波信号の増幅あるいはその他の機能をする。

【0003】外部からの高周波信号を伝送するストリップライン回路6は、基板1の表面に形成されており、金ボンディングワイヤ606により高周波能受動素子3に電氣的に接続されている。基板1内には、ストリップライン回路6の高周波グランドパターン層（図示せず）が設けられている。なおシールリングベース8は、その上面にメッキ層81を有し、したがってシールリングベース8の直下に存在するストリップライン回路6の部分はこのメッキ層81と上記高周波グランドパターン層とからトリプレートストリップライン構造となっている。

【0004】従来の高周波回路基板は上記のような構成を有し、高周波能受動素子3に必要な外部とのインピーダンス整合のための整合回路としては、使用する高周波能受動素子3内にそれを作り込むMMICによる方法、整合回路を有する誘電体基板を別途製造してそれをキャビティ2内に高周波能受動素子3と一緒に実装する方法などが知られている。しかしMMICは、一般的に高価であって高周波回路基板のコストアップを招く問題がある。一方、整合回路を有する誘電体基板をキャビティ2内に実装する方法は、上記誘電体基板自体の実装や組立の際の作業上のバラツキに起因して整合性能を不安定となし、また高周波回路基板製造の多工程化や上記の実装や組立のための領域マージンが必要となるなどの問題がある。さらに上記誘電体基板を実装するためのスペースが必要であるために、高周波回路基板の小サイズ化を阻害する問題点もある。

【0005】一方、特開平6-291520号公報には、ストリップライン回路と整合回路とを有する多層基板が開示されているが、上記ストリップライン回路と整合回路とは互いに異なる層上に形成されているために整合性能が未だ不十分であり、また両回路を別の層に設けるので多層基板の層数が増えて高周波回路基板の小サイズ化を阻害する問題点もある。

【0006】

【発明が解決しようとする課題】本発明は、上記従来技術が孕んでいる諸問題を解決し、しかして少工程にて製造可能でありながら整合性能が良好であり、しかも小サイズ化が可能な高周波回路基板を提供することを課題とするものである。

【0007】

【課題を解決するための手段】本発明による高周波回路基板は、（1）多層基板のキャビティ内に配置された高周波能受動素子、この高周波能受動素子を駆動する素子駆動電気回路、および上記高周波能受動素子に接続されたストリップライン回路を有する高周波回路基板において、上記ストリップライン回路が形成された基板面と同一

一面にトリプレートストリップ構造を有するインピーダンス整合回路を備えたものである。

(2) 上記(1)において、多層基板は、素子駆動電気回路を構成する電気回路パターンの少なくとも一部を層内に有するものである。

(3) 上記(1)または(2)において、多層基板は、熱伝導性に優れた軽量のセラミックスにより形成されたものである。

(4) 上記(3)において、セラミックスは、窒化アルミニウムである。

(5) 上記(1)において、高周波回路基板は複数の高周波能受動素子を有し、ストリップライン回路は高周波電力をそれら複数の高周波能受動素子に分配する電力分配回路および／またはそれら複数の高周波能受動素子からの高周波電力を合成する電力合成回路を有するものである。

(6) 上記(1)または(5)において、ストリップライン回路の少なくとも一部はトリプレートストリップライン回路であり、インピーダンス整合回路は上記トリプレートストリップライン回路と一体的に構成されているものである。

(7) 上記(1)または(5)において、高周波回路基板は複数の高周波能受動素子を有し、それら複数の高周波能受動素子はストリップライン回路により直列および／または並列に接続されたものである。

(8) 上記(1)において、高周波能受動素子は、ヒートシンクを介してキャビティ内に配置されたものである。

【0008】

【発明の実施の形態】実施の形態1. 図1は本発明における実施の形態1の一部破断図を含む斜視図であり、図2は図1のI-I線に沿った断面図である。図1～図2において、1は多層基板、2はキャビティ、3は高周波能受動素子、4は高周波能受動素子を駆動する素子駆動電気回路、5はビアホール、6はストリップライン回路である。

【0009】多層基板1は、層11～層15の5層構造を有し、いずれの層もセラミックスなどの電気絶縁性に優れた誘電体により形成されている。なお本発明において、上記の誘電体としては通常のセラミックスよりも熱伝導性に優れた軽量のセラミックス、例えば窒化アルミニウムなどが好ましい。かかるセラミックスを用いると多層基板1自体がヒートシンクの機能をなし、しかも高周波回路基板の軽量化に繋がる。層11～層14は互いに同じ表面積を有するが、層15のみはその長さが層11～層14のそれらより短く、したがってその短い分だけ層14の両端部の上面141が露出している。層11の下面にはベタ金属メッキ層16を有する。

【0010】キャビティ2は、多層基板1の層13、層14の各層の上面の一部が露出する階段状に形成されて

いる。層13の露出表面上には高周波能受動素子3が配置されている。高周波能受動素子3としては、トランジスタ、コンデンサ、抵抗などの素子、さらには必要に応じてその他の素子を組合わせて構成したものであって、増幅や変調などの能動的機能をなす高周波能動素子、あるいは検波や濾波などの受動的機能をなす高周波受動素子であってもよい。

【0011】層14のキャビティ2内の露出表面142上には、素子駆動電気回路4の一部である電気回路パターン41、42が設置されている。素子駆動電気回路4は、上記電気回路パターン41、電気回路パターン42、および層12の上面に形成された電気回路パターン43と層11の上面に形成された電気回路パターン44、および後記するビアホール5の一部とからなる。電気回路パターン41、42は、ビアホール5の上記一部により、それぞれ電気回路パターン43、44と電氣的に接続されている。また高周波能受動素子3と電気回路パターン41、42とは金ボンディングワイヤ45により電氣的に接続されており、電気回路パターン43、44は外部電源(図示せず)に接続される。

【0012】ストリップライン回路6は、高周波能受動素子3を中央にしてその両側に設けられており、その両側のストリップライン回路部分61、62は互いに同じ構造を有する。そこで図の向かって左側のストリップライン回路部分61について、以下にその構造を説明すると、それはマイクロストリップライン回路(以下、MSL回路)611、トリプレートストリップライン回路(以下、TSL回路)612、およびインピーダンス整合回路(以下、整合回路)613とからなり、整合回路613を中央にしてその両側にTSL回路612が、さらに二つのTSL回路612の各外側にMSL回路611が存在する構成となっている。換言するとストリップライン回路部分61は、図の左からMSL回路611-TSL回路612-整合回路613-TSL回路612-MSL回路611の直列路(一部の符号付け省略)となっていて、しかしTSL回路612を含み、またTSL回路612はトリプレートストリップ構造の整合回路613を含んでいる。同様にストリップライン回路部分62は、図の左からMSL回路621-TSL回路622-整合回路623-TSL回路622-MSL回路621の直列路(一部の符号付け省略)となっている。なお図1においては上記直列路のうち、整合回路613が存在する箇所を破断図で示す。

【0013】ストリップライン回路6は、多層基板1の層14の上面に形成されており、このうちMSL回路611、621、TSL回路612、622は短冊形状を呈するが、整合回路613、623は上記の短冊形状体に図示する通りのタブ6131、6231をそれぞれ一体的に結合した形状を有する。タブ6131、6231としては、いずれも2個ずつ形成した例が示されている

が、タブの大きさや形状は、回路整合のために必要なインピーダンスの程度に依存して適宜決定してよい。

【0014】604は多層基板1の層13の上面に形成された高周波グランド下面パターン層であり、605は多層基板1の層15の上面に形成された高周波グランド上面パターン層であって、TSL回路612、622および整合回路613、623は上記の高周波グランド上下両面パターン層604、605により遮蔽されている。ストリップライン回路6は、金ボンディングワイヤ606により高周波能受動素子3と電気的に接続されている。

【0015】ビアホール5は、ビアホール部分51～55および半割ビアホール部分56からなる。電気回路パターン41、42と電気回路パターン43、44とは、それぞれビアホール部分51、52により、高周波能受動素子3の下面とベタ金属メッキ層16とはビアホール部分53により、高周波グランド下面パターン層604とベタ金属メッキ層16とはビアホール部分54により、また高周波グランド上面パターン層605とベタ金属メッキ層16とはビアホール部分55および半割ビアホール部分56により、それぞれ電気的に接続されている。

【0016】実施の形態1においては、トリプレートストリップ構造を有する整合回路613がTSL回路612内に形成されるので、図7に示す従来の高周波回路基板のように高価なMMICを採用する必要がなく、あるいは整合回路を有する誘電体多層基板をキャビティ2内に実装する場合における組立による特性バラツキや高周波回路基板製造の多工程化などの問題が解消される。さらに整合回路613はTSL回路612と同一面上に形成されるので、両者を互いに別の面上に形成する場合にみられる整合不良の問題も解消し、しかも多層基板の層数を減らすことができ、高周波回路基板の小サイズ化が可能となる。また素子駆動電気回路4のうちの電気回路パターン43、44を多層基板1内に形成することにより、高周波回路基板の表面の電気回路パターン41、42を簡略化でき、この点からも高周波回路基板を小サイズ化する上で有利となる。

【0017】実施の形態2. 図3は本発明における実施の形態2の斜視図であり、図4は図3の一部を破断した斜視図である。即ち、層15の大部分を除去して層14の上面の大部分を露出した状態の斜視図である。図3～図4においては、図1～図2と同じ部分は同じ符号を付している。実施の形態2は、高周波能受動素子3が高周波能受動素子部分31、32の2部分からなり、それらは一つのキャビティ2内に並列配置されており、またストリップライン回路6は、図4に示すような二つのY字状を呈するストリップライン回路部分61、62からなる。ストリップライン回路部分61は、その三つの各先端部はMSL回路611であり、その中間部は整合回路

613を含むTSL回路612となっている。ストリップライン回路部分62も同様にその三つの各先端部はMSL回路621（符号付け省略、以下同様）であり、その中間部は整合回路623を含むTSL回路622となっている。

【0018】高周波能受動素子部分31、32は互いに同じまたは異なる機能を有し、ストリップライン回路部分61は高周波電力を2個の高周波能受動素子部分31、32に分配し、一方、ストリップライン回路部分62は2個の高周波能受動素子部分31、32からの高周波電力を合成する。あるいはその逆にストリップライン回路部分62は高周波電力を2個の高周波能受動素子部分31、32に分配し、一方、ストリップライン回路部分61は2個の高周波能受動素子部分31、32からの高周波電力を合成する。なお607は、多層基板1内に形成された抵抗であって、その抵抗値は上記の高周波電力を所望の比率で分配および合成するように設定される。

【0019】実施の形態2は、前記した実施の形態1の効果に加えてストリップライン回路6がY字状路を有するので、高周波電力の分配や合成が可能になると共にストリップライン回路6の簡素化、ひいては高周波回路基板の層の小サイズ化や製造コストの低減を可能にする。

【0020】実施の形態3. 図5は本発明における実施の形態3の斜視図であって、図1と同じ部分は同じ符号を付している。実施の形態3は、前記実施の形態1とは長尺の多層基板1に多数のキャビティ2を設けてそれぞれのキャビティに高周波能受動素子3を配置した点において異なる。即ちキャビティ2は、キャビティ部分21、22、・・・、2i、・・・、2nのn個のキャビティ部分からなり、それぞれのキャビティ部分には高周波能受動素子部分31、32、・・・、3i、・・・、3nがそれぞれ配置されている。またストリップライン回路6は、ストリップライン回路部分61、62、・・・、6i、・・・、6nからなり、これらいずれのストリップライン回路部分とも前記実施の形態1において用いられたストリップライン回路6と同じ構造並びに機能を有し、しかしてMSL回路、TSL回路、および整合回路を内蔵する。なおストリップライン回路部分6iは、その両側に位置する高周波能受動素子部分3(i-1)と3(i+1)とを直列接続する。

【0021】高周波能受動素子部分31、32、・・・、3i、・・・、3nは、互いに同じあるいは異なる機能を有するものであってもよい。同じ機能を有するもの、例えば、増幅機能を有するものを複数用いると、高利得高出力の高周波特性を有する高周波回路基板を得ることができる。あるいは例えば、高周波能受動素子部分31を濾波の機能をなす高周波受動素子とし、高周波能受動素子部分31を変調の機能をなす高周波能動素子と

し、高周波能受動素子部分33を増幅の機能をなす高周波能動素子とするなどとしてもよい。

【0022】さらにストリップライン回路部分61、62、・・・6i、・・・、6nのうちの一部をY字などの2分岐路あるいはそれ以上の多分岐路のものとし、高周波能受動素子部分31、32、・・・、3i、・・・、3nを並列に、あるいは直列に接続されたストリップライン回路部分群を並列に接続してもよい。

【0023】実施の形態3は、前記した実施の形態1の効果に加えて、ストリップライン回路により直列および/または並列に接続された複数の高周波能受動素子を備えているので、例えば高利得高出力の高周波特性を有する高周波回路基板や検波、濾波、増幅、変調などの多機能を具備する高周波回路基板を得ることができる。

【0024】実施の形態4、図6は本発明における実施の形態4の断面図である。図6においては、図1～図2と同じ部分は同じ符号を付しており、実施の形態4は前記実施の形態3とは高周波能受動素子3がヒートシンク7を介してキャビティ2内に配置されている点において異なる。即ち、図7においてヒートシンク7は、ヒートシンク部分71、72、・・・からなる。高周波能受動素子部分31、32、・・・は、それぞれキャビティ部分21、22、・・・に露出した多層基板1の層13の上面に設置されたヒートシンク部分71、72、・・・の上に設置されている。

【0025】ヒートシンク7としては、熱伝導性に優れ、且つ高周波能受動素子3の下面をベタ金属メッキ層16とビアホール部分53を介して電氣的に接続できるように電導性のもの、例えば金コートダイヤモンド、金コート窒化珪素、銅などが用いられる。

【0026】実施の形態4は、前記した実施の形態1の効果に加えて、高周波能受動素子をヒートシンクを介して配置しているので、多層基板1の熱伝導率が小さい場合や高周波能受動素子3の発熱量が大きい場合に、高周波能受動素子3の冷却が良好となる効果がある。

【0027】

【発明の効果】本発明の高周波回路基板は、以上説明した通り、多層基板のキャビティ内に配置された高周波能受動素子、この高周波能受動素子を駆動する素子駆動電気回路、および上記高周波能受動素子に接続されたストリップライン回路を有する高周波回路基板において、上記ストリップライン回路が形成された基板面と同一面にトリプレートストリップ構造を有するインピーダンス整合回路を備えたものである。したがってインピーダンス整合のために高価なMMICを採用する必要がなく、あるいは整合回路を有する誘電体多層基板をキャビティ内に実装する場合における組立による特性バラツキや高周波回路基板製造の多工程化などの問題が解消される。さらに整合回路はトリプレートストリップライン回路などのストリップライン回路と同一面上に形成されるので、

両者を互いに別の面上に形成する場合にみられる整合不良の問題も解消し、しかも多層基板の層数を減らすことができて高周波回路基板の小サイズ化が可能となる。

【0028】また多層基板は素子駆動電気回路を構成する電気回路パターンの少なくとも一部を層内に有するものであると、高周波回路基板の表面の電気回路パターンを簡略化できて、この点からも高周波回路基板の小サイズ化に有利である。

【0029】さらに多層基板は、熱伝導性に優れた軽量のセラミックス、例えば窒化アルミニウムにより形成されると、多層基板自体がヒートシンクの機能をなし、且つ高周波回路基板の軽量化を可能にする。

【0030】さらに高周波回路基板が複数の高周波能受動素子を有し、ストリップライン回路は高周波電力をそれら複数の高周波能受動素子に分配する電力分配回路および/またはそれら複数の高周波能受動素子からの高周波電力を合成する電力合成回路を有すると、高周波電力の分配や合成が可能となると共にストリップライン回路の簡素化、ひいては高周波回路基板の一層の小サイズ化や製造コストの低減が可能になる。

【0031】さらにストリップライン回路の少なくとも一部はトリプレートストリップライン回路であり、インピーダンス整合回路は上記トリプレートストリップライン回路と一体的に構成されていると、伝送される高周波信号に対して遮蔽が良好であるので伝送信号の波形の乱れなどの忌むべき問題が少なく、また整合回路をトリプレートストリップライン回路と一体構成することによりインピーダンス整合性が一層良好となる。

【0032】さらに複数の高周波能受動素子を有し、それら複数の高周波能受動素子はストリップライン回路により直列および/または並列に接続されると、例えば高利得高出力の高周波特性を有する高周波回路基板や検波、濾波、増幅、変調などの多機能を具備する高周波回路基板を得ることができる。

【0033】またさらに高周波能受動素子は、ヒートシンクを介してキャビティ内に配置されると、多層基板の熱伝導率が小さい場合や高周波能受動素子の発熱量が大きい場合に、高周波能受動素子の冷却が良好となる効果がある。

【図面の簡単な説明】

【図1】 本発明における高周波回路基板の実施の形態1についての一部破断図を含む斜視図である。

【図2】 図1のI-I線に沿った断面図である。

【図3】 本発明における高周波回路基板の実施の形態2についての斜視図である。

【図4】 図3の一部破断斜視図である。

【図5】 本発明における高周波回路基板の実施の形態3についての斜視図である。

【図6】 本発明における高周波回路基板の実施の形態4についての断面図である。

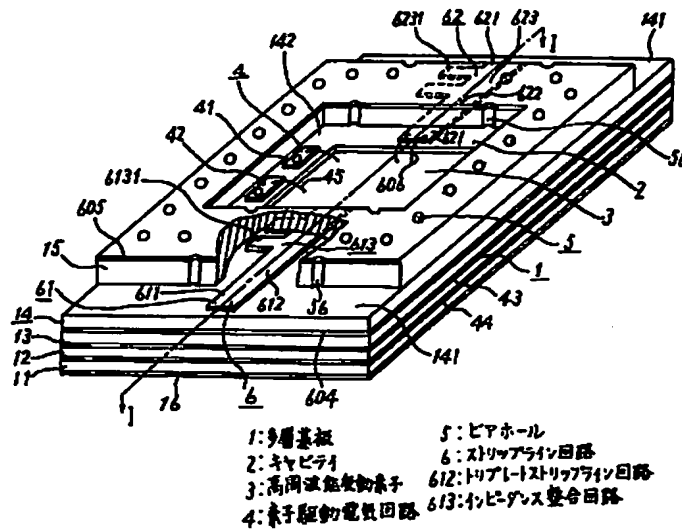
【図7】 従来の高周波回路基板についての斜視図である。

【符号の説明】

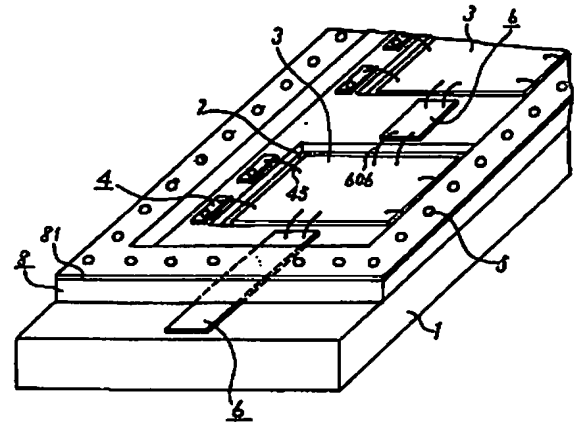
1 多層基板、16 ベタ金属メッキ層、2 キャビティ
4、3 高周波能受動素子、4 素子駆動電気回路、4
3 電気回路パターン、44 電気回路パターン、5 *

*ビアホール、56 半割ビアホール、6 ストリップライン回路、604 高周波グランド下面パターン層、605 高周波グランド上面パターン層、611 マイクロストリップライン回路、612 トリプレートストリップライン回路、613 インピーダンス整合回路。

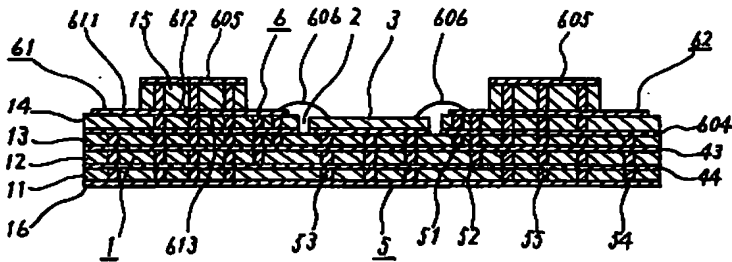
【図1】



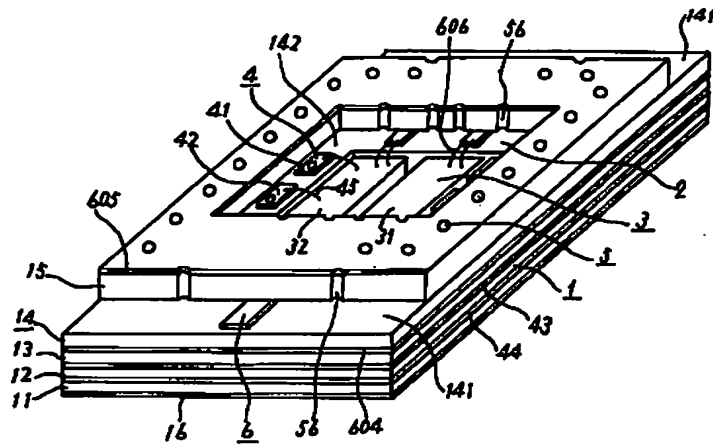
【図7】



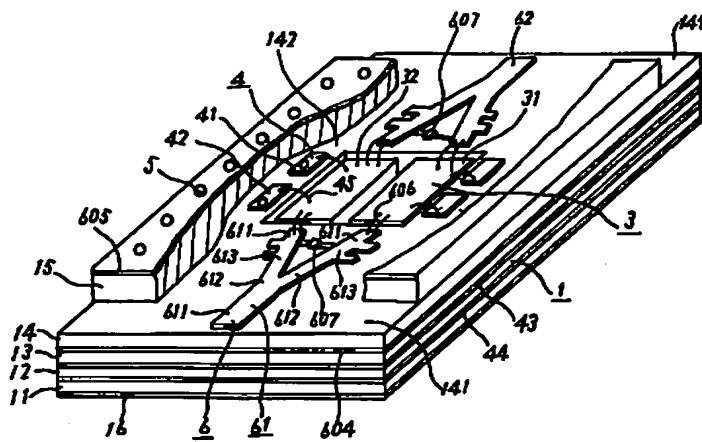
【図2】



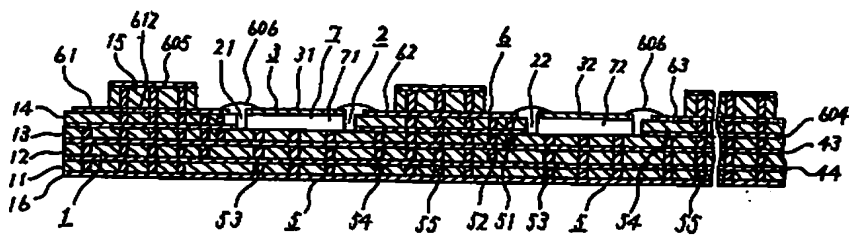
【図3】



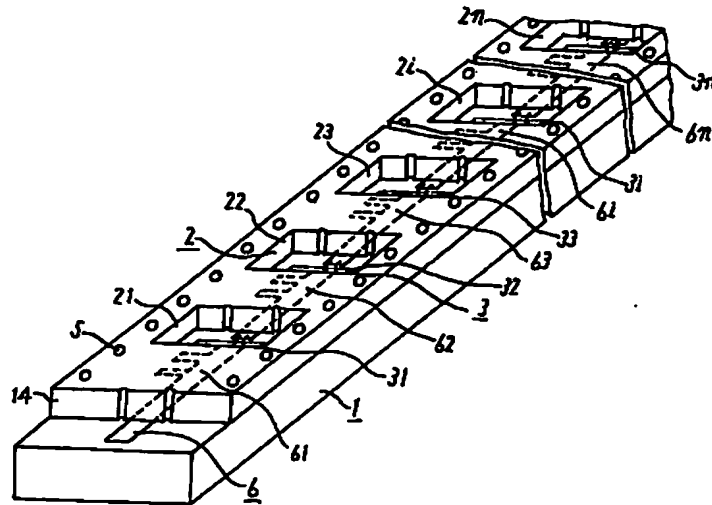
【図4】



【図6】



【図5】



フロントページの続き

(51)Int.Cl.⁷

H03F 3/60

識別記号

F I

H01L 23/14

ターコード (参考)

C